

# Patent Abstracts of Japan

BU

PUBLICATION NUMBER : 10321791  
PUBLICATION DATE : 04-12-98

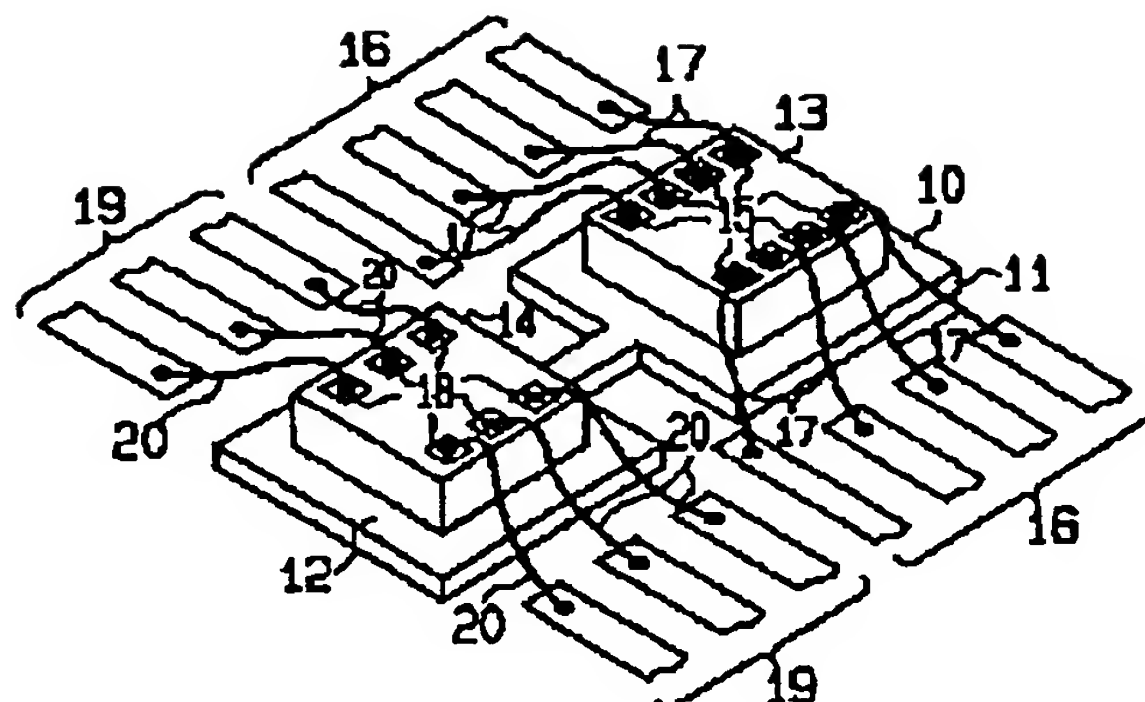
APPLICATION DATE : 25-07-97  
APPLICATION NUMBER : 09200224

APPLICANT : TOKAI RIKI CO LTD;

INVENTOR : IWATA HITOSHI;

INT.CL. : H01L 25/00 H01L 27/04 H01L 21/822  
H03F 3/45

TITLE : OPERATIONAL AMPLIFIER



ABSTRACT : PROBLEM TO BE SOLVED: To realize a multi-chip, enable simplifying manufacturing process for an operational amplifier chip, reduce cost, and realize miniaturization of a package.

SOLUTION: An operational amplifier chip 13 and a peripheral circuit chip 14 are mounted on chip-mounting parts 11, 12. The operational amplifier chip 13 is formed by semiconductor IC manufacturing process. A plurality of pads 15 arranged on the chip 13 are electrically connected with leads 16 of a package by using wires 17. In the peripheral circuit chip 14, a thin film capacitor and a thin-film resistor are formed on a board formed of ceramics or the like, by using known thin-film forming technique. A pad 18 on the chip 14 is electrically connected with leads 19 of the package by using wires 20.

COPYRIGHT: (C)1998,JPO

(51) Int.Cl.<sup>8</sup>

## 識別記号

## F I

H 0 1 L 25/00  
27/04  
21/822  
H 0 3 F 3/45

H 0 1 L 25/00 B  
H 0 3 F 3/45 Z  
H 0 1 L 27/04 H  
C

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平9-200224

(22) 出願日 平成9年(1997)7月25日

(31) 優先権主張番号 特願平9-63065

(32) 優先日 平9(1997)3月17日

(33) 優先権主張国 日本(J P)

(71) 出願人 000003551

株式会社東海理化電機製作所  
愛知県丹羽郡大口町豊田三丁目260番地

(72) 発明者 谷口 政弘

愛知県丹羽郡大口町大字豊田字野田1番地  
株式会社東海理化電機製作所内

(72) 発明者 神戸 正方

愛知県丹羽郡大口町大字豊田字野田1番地  
株式会社東海理化電機製作所内

(72) 発明者 岩田 仁

愛知県丹羽郡大口町大字豊田字野田1番地  
株式会社東海理化電機製作所内

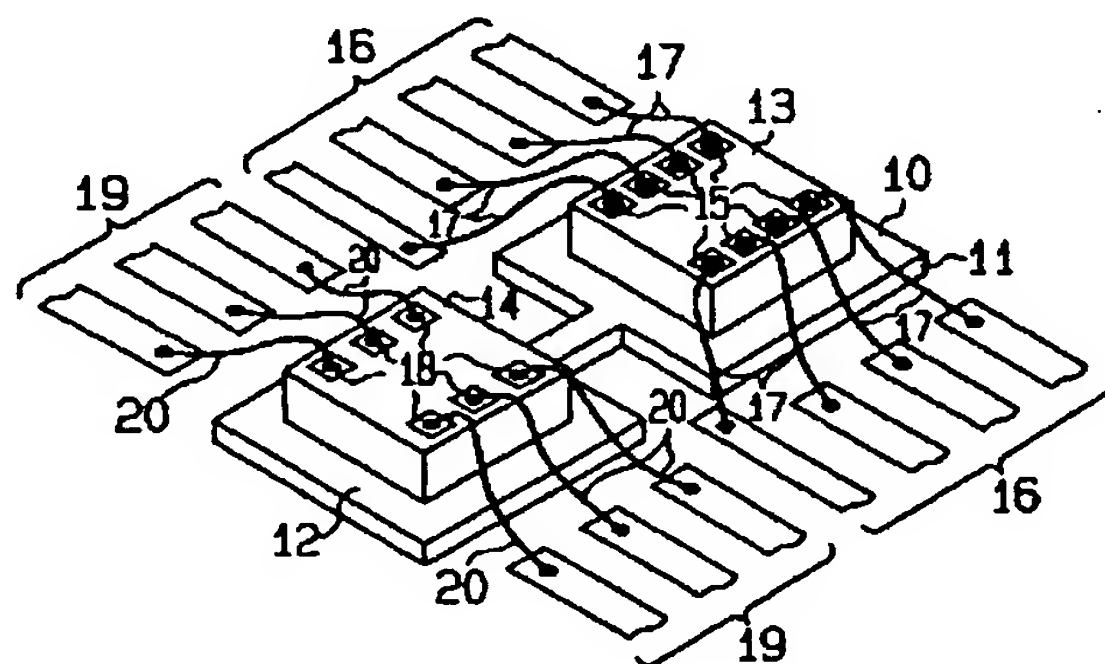
(74) 代理人 弁理士 恩田 博宜

(54) 【発明の名称】 オペアンプ装置

## (57) 【要約】

【課題】マルチチップ化を図り、オペアンプチップの製造工程の簡素化ができ、コストの低減を図ることができるとともにパッケージの小型化を図る。

【解決手段】チップ装着部11、12には、オペアンプチップ13及び周辺回路チップ14が装着されている。オペアンプチップ13は、半導体IC製造プロセスによって形成されている。チップ13上に設けられた複数のパッド15は、パッケージのリード16に対してワイヤ17によって電氣的に接続されている。周辺回路チップ14は、薄膜コンデンサ及び薄膜抵抗がセラミック等の基板に公知の薄膜形成技術によって形成されている。チップ14上のパッド18は、パッケージのリード19に対してワイヤ20によって電氣的に接続されている。



## 【特許請求の範囲】

【請求項1】 半導体ICからなるオペアンプを含む第1のチップと、前記オペアンプの周辺回路を構成するコンデンサ、及び抵抗を、薄膜コンデンサ及び薄膜抵抗、或いは、厚膜コンデンサ、厚膜抵抗にしてそれぞれ搭載する第2のチップとを互いに隣接して配置したことを特徴とするオペアンプ装置。

【請求項2】 前記第1のチップと、第2のチップとは、平面方向に併設されたものである請求項1に記載のオペアンプ装置。

【請求項3】 前記第1のチップと、第2のチップとは、互いに積み重ねて配置されたものである請求項1に記載のオペアンプ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はオペアンプ装置に関するものである。

## 【0002】

【従来の技術】従来のオペアンプを増幅回路として使用する場合には、図7に示すように回路基板1上にオペアンプチップ2を設置するとともに、そのゲイン抵抗3を接続し、かつ、EMI耐力を持たせるために、コンデンサ4をも接続していた。

【0003】図8は、図7のオペアンプ装置の等価回路である。同図7に示すように上記のような配置であると、広い実装面積が必要であるとともに、又、コンデンサ、ゲイン抵抗のように組付け部品点数も多くなる問題がある。

## 【0004】

【発明が解決しようとする課題】そこで、従来上記の問題を解消するために、ゲインが決まっているASIC (Application Specific IC) 化されたオペアンプでは、薄膜抵抗を内蔵したオペアンプチップのものが使用されている。

【0005】ところが、上記のようにASIC化されたオペアンプチップでは、抵抗形成プロセスが半導体IC (集積回路) 製造プロセスと異なっているため、すなわち、薄膜抵抗を形成するためには、薄膜抵抗を形成するための工程を追加する必要がある、製造工程が複雑化する問題がある。又、EMI耐力のためのコンデンサは、コンデンサ容量を大きくする必要があることから、強誘電体にて構成するのが好ましい。しかし、従来の半導体IC製造プロセスでは強誘電体のコンデンサをオペアンプチップに組込むには困難である問題がある。

【0006】本発明は上記問題点を解決するためになされたものであって、その目的は、マルチチップ化を図ることにより、オペアンプチップの製造工程の簡素化ができ、コストの低減を図ることができるとともにパッケージの小型化を図ることができるオペアンプ装置を提供することにある。

## 【0007】

【課題を解決するための手段】上記問題点を解決するため、請求項1に記載の発明は、半導体ICからなるオペアンプを含む第1のチップと、前記オペアンプの周辺回路を構成するコンデンサ、及び抵抗を、薄膜コンデンサ及び薄膜抵抗、或いは、厚膜コンデンサ、厚膜抵抗にしてそれぞれ搭載する第2のチップとを互いに隣接して配置したことを特徴とするオペアンプ装置を要旨とするものである。

【0008】請求項2の発明は、請求項1において、前記第1のチップと、第2のチップとは、平面方向に併設されたオペアンプ装置を要旨とするものである。請求項3の発明は、請求項1において、前記第1のチップと、第2のチップとは、互いに積み重ねて配置されたものであるオペアンプ装置を要旨とするものである。

(作用) 請求項1に記載の発明によれば、第1のチップは、半導体製IC製造プロセスによって形成したトランジスタ等にて構成すればよいから、コンデンサ、或いはゲイン抵抗を作り込む必要がない。又、第2のチップに設けられる周辺回路は、薄膜形成技術、又は厚膜形成技術のみで形成でき、バルク (基板) は、コストが安価なことから、コストを低減することができる。又、両チップを互いに隣接したため、小型化できる。

【0009】請求項2の発明によれば、第1のチップと、第2チップとを平面方向に併設することにより、請求項1の作用が得られる。請求項3の発明によればチップオンチップにすることができ、実装時の平面面積を大きく取る必要がないことから、パッケージの小型化を図ることができる。

## 【0010】

## 【発明の実施の形態】

(第1の実施形態) 以下、本発明を具体化した第1の実施形態を図1を参照して説明する。

【0011】図1に示すように、パッケージのリードフレーム10には、互いに所定距離離間して一対のチップ装着部11、12が同一平面上において平面方向に併設して形成されている。前記一対のチップ装着部11、12は第1のチップ装着部及び第2のチップ装着部を構成している。同チップ装着部11、12には、第1のチップとしてのICチップ (以下、オペアンプチップという) 13及び第2のチップとしての周辺回路チップ14が装着されている。オペアンプチップ13は、公知の半導体IC製造プロセスによって複数のバイポーラトランジスタが形成されてオペアンプが構成されており、チップ13上に設けられた複数のパッド15は、パッケージのリード (電極取り出し部) 16に対してワイヤ (金属細線) 17によって電気的に接続されている。

【0012】周辺回路チップ14は、薄膜コンデンサ及び薄膜抵抗がセラミック等のバルク (基板) 上に公知の薄膜形成技術によって形成されたものである。前記薄膜



コンデンサは、このオペアンプ装置にEMI耐力を持たせるために強誘電体のもので形成されている。そして、チップ14上に設けられた複数個のパッド18は、パッケージのリード（電極取り出し部）19に対してワイヤ（金属細線）20によって電氣的に接続されている。そして、両チップは、図示しないエポキシ樹脂等で封止されている。このように電氣的に接続された両チップ13、14によって、図8の等価回路で示すオペアンプ装置が形成されている。

【0013】さて、上記のように構成されたオペアンプ装置は以下の効果を奏する。

(1) オペアンプチップ13は、半導体製IC製造プロセスによって形成したバイポーラトランジスタ等にて構成すればよく、コンデンサ、或いはゲイン抵抗は、周辺回路チップに設けられているため、コンデンサ、抵抗を作り込む必要がない。このため、オペアンプチップにコンデンサ、ゲイン抵抗を作り込む場合と異なり、薄膜抵抗、薄膜コンデンサを形成するための工程が必要でなく、製造工程を簡単にすることができる。この結果、オペアンプチップ13の歩留まりが悪くなることはなく、歩留まりが向上し、製造工程の簡素化とあいまって、オペアンプチップ13の製造コストを低減することができる。

【0014】(2) 又、周辺回路チップ14の薄膜抵抗、薄膜コンデンサは、薄膜形成技術で形成でき、又、基板（バルク）は、コストが安価なことから、コストを低減することができる。

【0015】（第2の実施形態）次にチップオンチップタイプのオペアンプ装置に具体化した第2の実施形態を図2乃至図4を参照して説明する。

【0016】図2は、オペアンプ装置の斜視図、図3は、オペアンプを裏面から見た斜視図、図4は周辺回路チップの斜視図である。図2に示すように、第1のチップとしてのオペアンプチップ23上には第2のチップとしての周辺回路チップ24が載置されている。前記オペアンプチップ23は、第1の実施形態と同様に公知の半導体IC製造プロセスによって複数のバイポーラトランジスタが形成されてオペアンプが構成されており、チップ23上に設けられた複数個のパッド25は、パッケージのリード（電極取り出し部）26に対してワイヤ（金属細線）27によって電氣的に接続されている。又、オペアンプチップ23の上面には、図3に示すようにバンパ用パッド28が所定位置に露出配置されている。そして、周辺回路チップ24は、図4に示すようにその下面に図示しない電極取り出し部が形成され、同電極取り出し部に施されたバンパ29を介して、前記オペアンプチップ23のバンパ用パッド28に電氣的に接続されるとともに固定されている。

【0017】前記周辺回路チップ24は、薄膜コンデンサ及び薄膜抵抗がセラミック等の基板（バルク）上に公

知の薄膜形成技術によって形成されたものである。前記薄膜コンデンサは、このオペアンプ装置にEMI耐力を持たせるために強誘電体のもので形成されている。そして、両チップ23、24は、図示しないエポキシ樹脂等で封止されている。このように電氣的に接続された両チップ23、24によって、図8の等価回路で示すオペアンプ装置が構成されている。

【0018】さて、上記のように構成されたオペアンプ装置は以下の効果を奏する。

(1) 本実施の形態では、前記第1の実施形態における(1)、及び(2)の効果に加えて、オペアンプチップ23上に周辺回路チップ24を搭載したことにより、実装時の平面面積を大きく取る必要がないことから、パッケージの小型化を図ることができる。

（第3の実施形態）次に第3の実施形態を図5及び図6を参照して説明する。本実施形態では、前記第2の実施形態と同様にチップオンチップタイプのオペアンプ装置に具体化されている。なお、第1のチップとしてのオペアンプチップは第2の実施形態とは、同一構成であるため、同一符号を付してその説明を省略する。

【0019】第2のチップとしての周辺回路チップ30はアルミナ基板（バルク）30a下面上に、厚膜導体からなる電極（パッド、なお、図面には図示しない）、厚膜抵抗としての厚膜抵抗体33、厚膜コンデンサ35、配線パターンである厚膜導体32、33が、厚膜技術によって形成されている。そして、厚膜抵抗体33、厚膜コンデンサ35は、前記電極（図示しない）に対して配線パターンである厚膜導体32、33を介して接続され、図8の等価回路にて示す、オペアンプの周辺回路が構成されている。前記厚膜コンデンサ35は、このオペアンプ装置にEMI耐力を持たせるために強誘電体のもので形成されている。

【0020】前記電極上には、図6に示すようにオペアンプチップ23のハンダバンパ31が形成されている。そして、周辺回路チップ30は、前記ハンダバンパ31を介して、図3に示す前記オペアンプチップ23のバンパ用パッド28に電氣的に接続されるとともに固定されている（図5参照）。このように電氣的に接続された両チップ23、24によって、図8の等価回路で示すオペアンプ装置が構成されている。

【0021】さて、上記のように構成されたオペアンプ装置は以下の効果を奏する。

(1) 本実施の形態では、前記第2の実施形態と(1)と同様の作用効果を奏する。

【0022】(2) 前記第2の実施形態では、抵抗の形成は、薄膜技術によって形成しているが、低抵抗と高抵抗の組合せ、定格電力の高い抵抗を形成する場合には広い面積（なお、従来例の場合よりも狭い面積にはなっている。）が必要となり、かつシート抵抗の異なるメタル（薄膜抵抗層）を何度か形成する必要がある。

【0023】それに対して、第3の実施形態では、アルミナ基板30a上に定格電力の大きな厚膜抵抗体33を形成する場合や、低抵抗と高抵抗の組合せの場合、厚膜抵抗体33をスクリーン印刷にて塗布する場合のペーストの膜厚を調整したり、印刷の数を増やしたりする程度で簡単に対応することができる。

【0024】(3) 本実施形態では、周辺回路チップ30下面、すなわち、オペアンプチップ23側の面に厚膜抵抗体33、厚膜コンデンサ35を設けた。この結果、厚膜抵抗体33、厚膜コンデンサ35は、両チップ23、30にて、保護され、厚膜抵抗体33、厚膜コンデンサ35の表面の傷付きを防止できる。

【0025】なお、本発明の実施の形態は以下のように変更してもよく、その場合にも同様の作用及び効果が得られる。

(1) 前記実施形態では、オペアンプをバイポーラトランジスタにて構成したが、MOSトランジスタにて構成してもよい。

(2) 前記第2の実施形態ではバンプを介して両チップを接続したが、この接続方法に限定されるものではなく、ビームリード方式等の他の方法にて接続するようにしてもよい。

(3) 前記第1の実施形態では、周辺回路チップ14上には、薄膜コンデンサ、薄膜抵抗をセラミック等のバルク(基板)上に薄膜形成技術で形成したが、第3の実施形態の周辺回路チップ30と同様に、厚膜形成技術で、厚膜抵抗、厚膜コンデンサにて、オペアンプの周辺回路を形成し、その周辺回路チップ30を、オペアンプチップ13に対して平面方向に併設してもよい。

(4) 前記第1及び第2の各実施形態では、薄膜抵抗、薄膜コンデンサにてオペアンプの周辺回路を構成したが、さらに、薄膜コンダクタをも含む周辺回路を構成してもよい。

(5) 前記第3の実施形態では、厚膜抵抗、厚膜コンデンサにて、オペアンプの周辺回路を構成したが、厚膜インダクタをも含む周辺回路を構成してもよい。

【0026】次に、上記実施の形態から把握できる特許請求の範囲に記載された発明以外の技術的思想をその効果とともに記載する。

(1) 請求項1において、第1のチップは、リードフレームからなる第1のチップ装着部に装着され、第2のチップは前記リードフレームにおいて第1のチップ装着部と隣接して配置された第2のチップ装着部に装着されたものであるオペアンプ装置。この構成により、第1及び第2のチップは、リードフレームにて平面方向に隣接

して配置できる。

(2) 請求項3において、第1のチップ上には、バンプ用パッドが形成され、第2のチップは、前記バンプ用パッドに対向して設けられたバンプを介して電氣的に接続され固定されていることを特徴とするオペアンプ装置。この構成により、第1及び第2のチップは、積み重ねられた状態で配置できる。

(3) 請求項3において、第2のチップに厚膜抵抗、厚膜コンデンサは、第1のチップと対向する面側に設けられたオペアンプ装置。この構成により、厚膜抵抗、厚膜コンデンサは、両チップにて保護され、厚膜抵抗、厚膜コンデンサの表面の傷付きが防止できる。

【0027】

【発明の効果】以上詳述したように、請求項1に記載の発明によれば、第1のチップは、半導体製IC製造プロセスによって形成したトランジスタ等により構成すればよいので、第1のチップに対してコンデンサ、或いはゲイン抵抗を作り込む必要がない。そのため、第1のチップの製造を簡素化できる。

【0028】又、第2のチップは、バルク(基板)自体が、コストが安価であるとともに、薄膜形成技術、又は厚膜形成技術で形成でき、コストが安価なことから、コストを低減することができる。

【0029】請求項2の発明によれば、第1のチップと、第2のチップとを平面方向に隣接して併設することにより、従来よりも狭い面積しか要せず、小型化ができる。請求項3の発明によればチップオンチップにすることができ、実装時の平面面積を大きく取る必要がないことから、パッケージの小型化を図ることができる。

【図面の簡単な説明】

【図1】 第1の実施形態のオペアンプ装置の斜視図。

【図2】 第2の実施形態のオペアンプ装置の斜視図。

【図3】 オペアンプチップの斜視図。

【図4】 周辺回路チップの斜視図。

【図5】 第3の実施形態のオペアンプ装置の斜視図。

【図6】 周辺回路チップの斜視図。

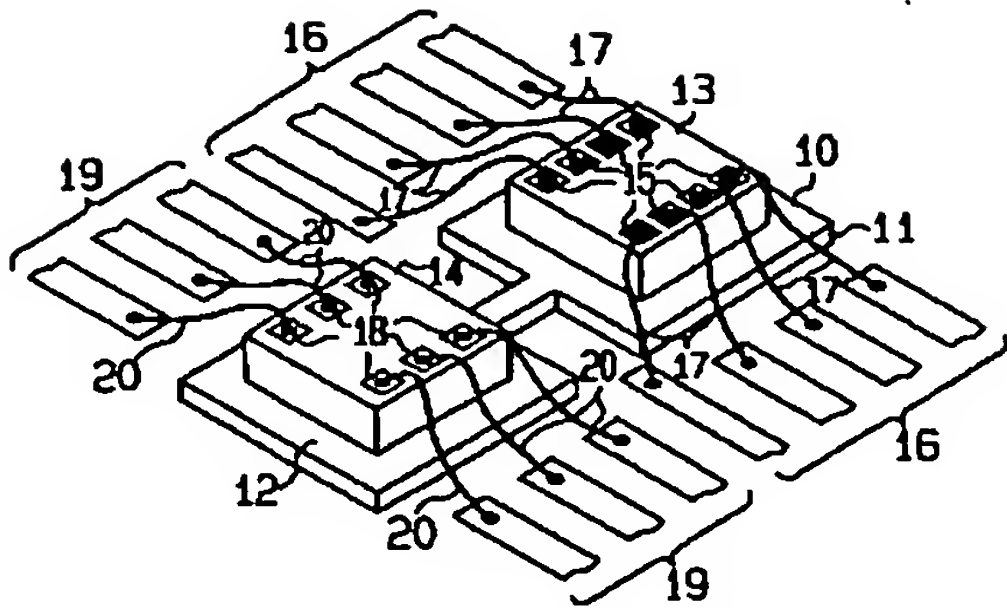
【図7】 従来のオペアンプ装置の斜視図。

【図8】 オペアンプ装置の等価回路図。

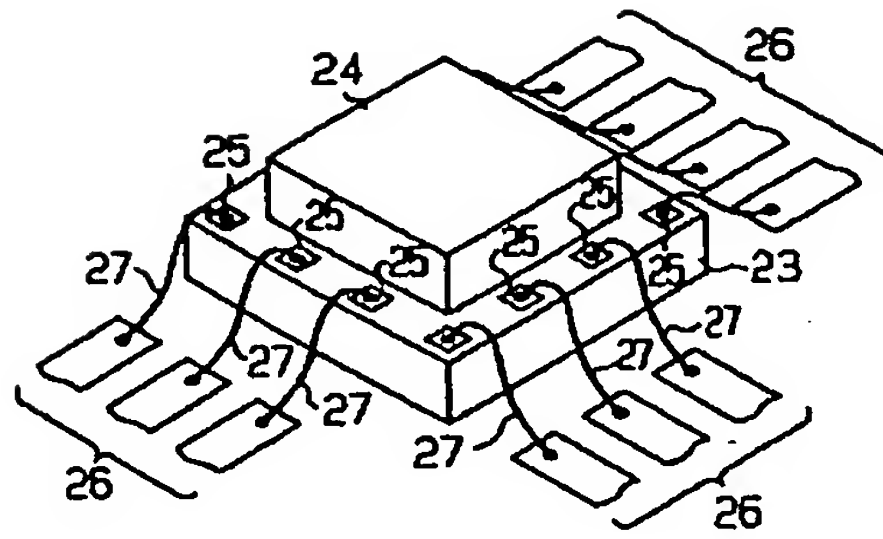
【符号の説明】

13, 23…第1のチップとしてのオペアンプチップ、  
14, 24, 30…第2のチップとしての周辺回路チップ。

【図1】

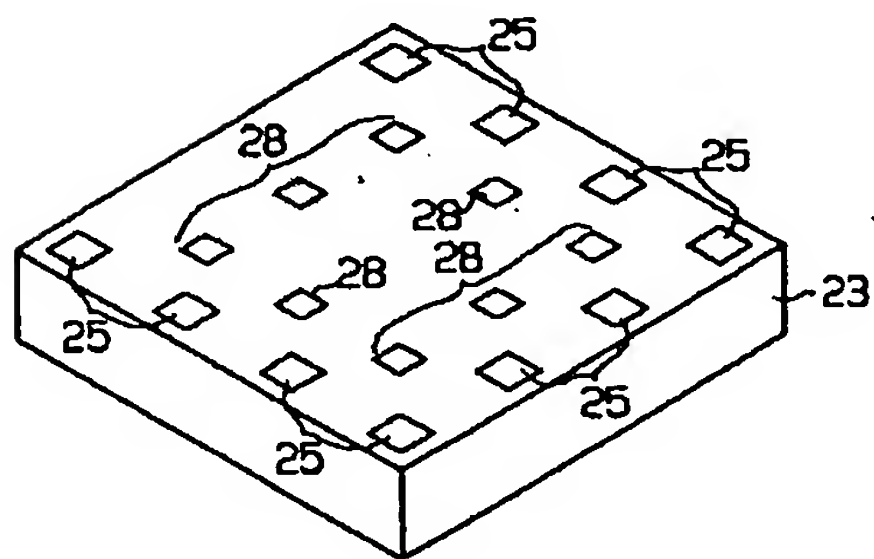


【図2】

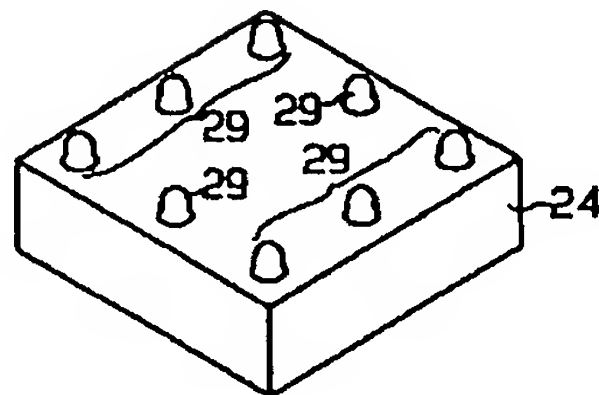


【図6】

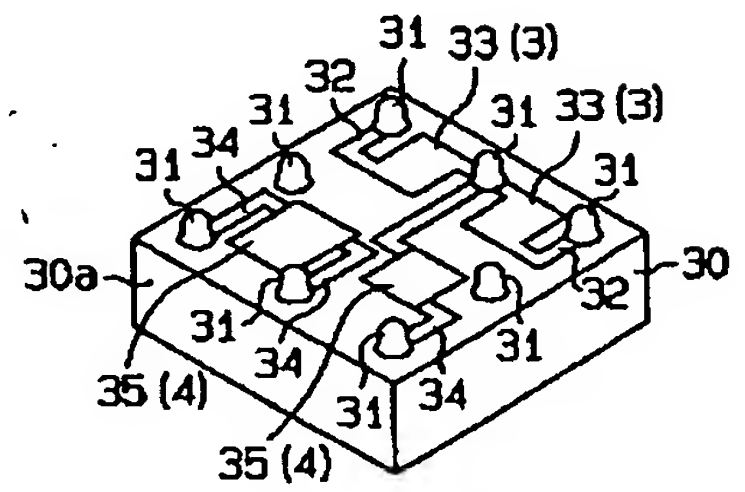
【図3】



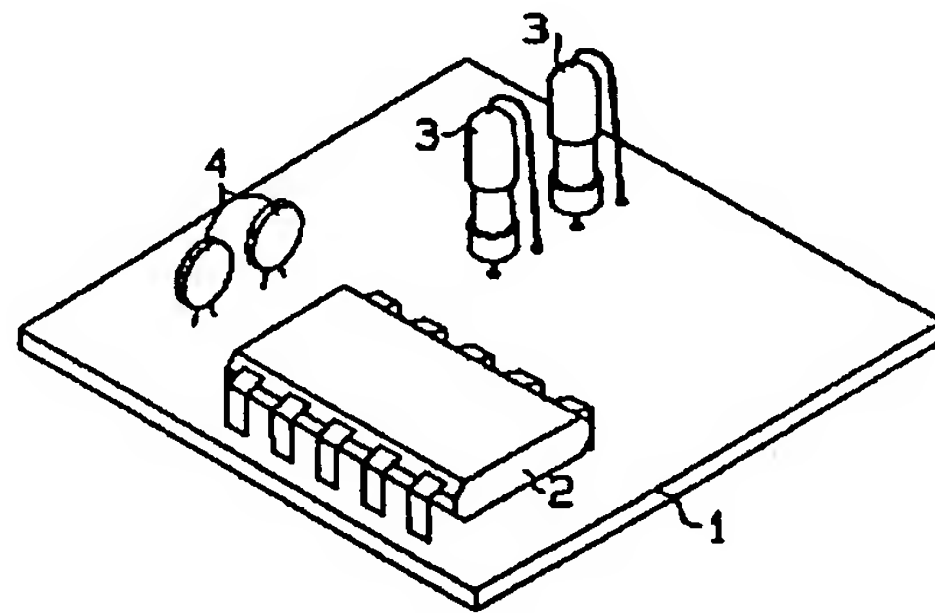
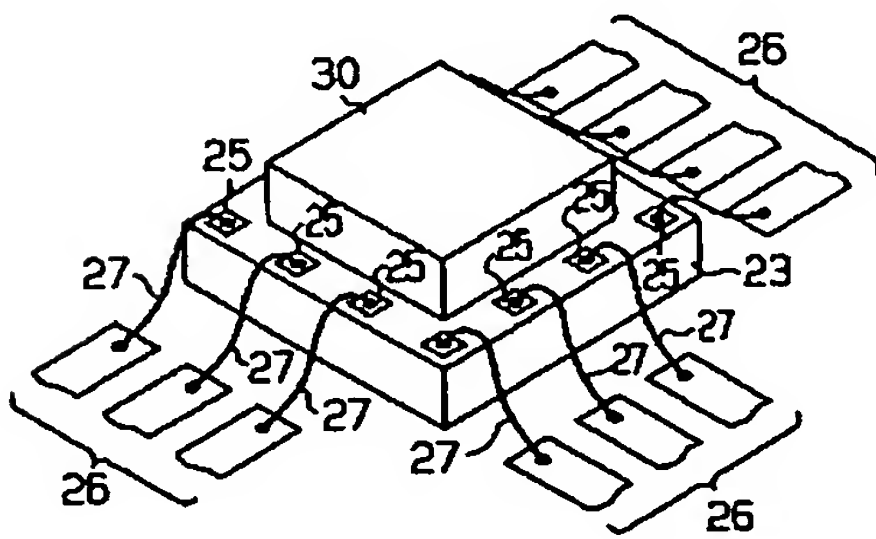
【図4】



【図7】



【図5】



【図8】

